

PAT-NO: JP404246862A

DOCUMENT-IDENTIFIER: JP 04246862 A

TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT AND
MANUFACTURE THEREOF

PUBN-DATE: September 2, 1992

INVENTOR-INFORMATION:

NAME

WAKE, SETSUO

ASSIGNEE-INFORMATION:

NAME

MITSUBISHI ELECTRIC CORP

COUNTRY

N/A

APPL-NO: JP03012064

APPL-DATE: February 1, 1991

INT-CL (IPC): H01L029/784, H01L021/76

US-CL-CURRENT: 257/288

ABSTRACT:

PURPOSE: To obtain a MOS type transistor which hardly deteriorates in breakdown strength between a drain and a source in a non-punch through region even if a gate oxide film is formed thin.

CONSTITUTION: A thin gate oxide film 11 is formed on a P-type silicon substrate 10, a gate electrode 12 is provided onto the gate oxide film 11, and the gate oxide film 11 is isotropically etched using a resist which is formed so as to expose only a part of the gate electrode 12 on a drain side as a mask, whereby the gate oxide film near the drain 13 is slightly etched and oxidized again, and in result a comparatively thick so-called gate bird's beak is formed

near the drain 13, and a gate oxide film is selectively formed thick.

COPYRIGHT: (C)1992,JPO&Japio

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-246862

(43) 公開日 平成4年(1992)9月2日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/784				
21/76	M	9169-4M		
		8422-4M	H 0 1 L 29/78	3 0 1 G

審査請求 未請求 請求項の数3(全 6 頁)

(21) 出願番号 特願平3-12064

(22) 出願日 平成3年(1991)2月1日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 和気 節雄

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社北伊丹製作所内

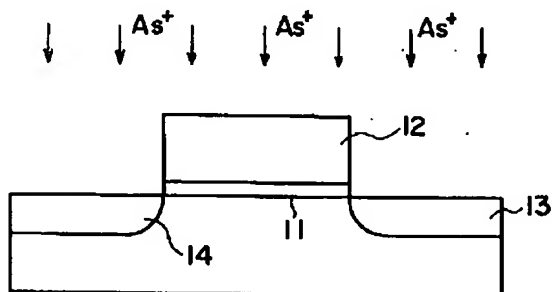
(74) 代理人 弁理士 吉田 研二 (外2名)

(54) 【発明の名称】 半導体集積回路及び半導体集積回路製造方法

(57) 【要約】

【目的】 ゲート酸化膜を薄くしても非パッチスルー領域でのソース・ドレイン間耐圧が低くならないMOS型トランジスタを得る。

【構成】 P型シリコン基板10上に薄いゲート酸化膜11を生成し、ゲート酸化膜11上にゲート電極12を生成した後、ゲート電極12のドレイン側だけを露出するように形成されたレジストをマスクにして等方向性酸化膜エッチングすることにより、ドレイン13近傍部のゲート酸化膜をわずかにエッチングし再酸化を行うことにより、ドレイン13近傍部にのみ比較的厚いいわゆるゲートバースピークを形成することにより選択的にゲート酸化膜を厚くする。



【特許請求の範囲】

【請求項1】 MOS型半導体集積回路において、ドレイン近傍部のゲートバースピークがソース近傍部のゲートバースピークよりも厚いことを特徴とする半導体集積回路。

【請求項2】 請求項1記載の半導体集積回路を製造するための製造方法であって、半導体ウエハの面上に熱酸化法等によりゲート酸化膜となる酸化薄膜を生成する酸化薄膜生成工程と、前記酸化薄膜上にゲート電極となる多結晶シリコン薄膜等の電極材料を生成するゲート電極生成工程と、写真製版技術により所望の形状に形成したホトレジストをマスクにして前記電極材料をドライエッチング技術によりエッチングするエッチング工程と、所望の形状に形成された前記電極材料をマスクにして前記半導体基板とは逆電導型の不純物をイオン注入法等により導入しソース拡散層及びドレイン拡散層を形成する拡散層形成工程と、写真製版技術により前記ドレイン拡散層のみが露出するように形成されたホトレジストをマスクに等方向性酸化膜エッチングすることにより前記ゲート酸化膜のドレイン側端部をソース方向にソース・ドレイン間の長さの5～10%程度の長さ分食い込ませる調整工程と、上記各工程により得られた半導体ウエハ全体を熱酸化雰囲気中に晒すことによりドレイン側端部のゲートバースピークを厚くする熱処理工程とを、少なくとも含むことを特徴とする半導体集積回路の製造方法。

【請求項3】 請求項1記載の半導体集積回路を製造するための製造方法であって、半導体ウエハの面上に熱酸化法等によりゲート酸化膜となる酸化薄膜を生成する酸化薄膜生成工程と、前記酸化薄膜上にゲート電極となる多結晶シリコン薄膜等の電極材料を生成するゲート電極生成工程と、写真製版技術により所望の形状に形成したホトレジストをマスクにして前記電極材料をドライエッチング技術によりエッチングするエッチング工程と、所望の形状に形成された前記電極材料をマスクにして前記半導体基板とは逆電導型の不純物をイオン注入法等により導入しソース拡散層及びドレイン拡散層を形成する拡散層形成工程と、前記各工程により得られた半導体ウエハの全面に酸化防止効果を有する窒化膜等の薄膜を生成する酸化防止膜生成工程と、写真製版技術により前記ドレイン拡散層のみが露出するように形成されたホトレジストをマスクに前記酸化防止効果を有する薄膜をエッチングする酸化防止膜エッチング工程と、上記各工程により得られた半導体ウエハ全体を熱酸化雰囲気中に晒すことによりドレイン側端部のゲートバースピークを厚くする熱処理工程とを、少なくとも含むことを特徴とする半導体集積回路の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体集積回路及び半導体集積回路製造方法、特にMOS型トランジスタの性能

の改良に関し、ゲート酸化膜の薄膜化に伴う非パンチスルー領域でのソース・ドレイン間耐圧の低下を防止するMOS型トランジスタ及びMOS型トランジスタの製造方法に関する。

【0002】

【従来の技術】 半導体集積回路の微細化傾向は留まることを知らず進展しているが、平面的な寸法の縮小にともなう、縦方向の寸法も縮小されている。例えば、ゲート酸化膜を例にとると、3ミクロンルールのデバイスでは500Å程度の膜厚が選ばれていたが、平面的に縮小されて1ミクロンルールのデバイスとなると200Å程度の膜厚が選ばれている。これはいわゆる比例縮小則に則り、デバイスの素子寸法を決定することによりデバイスのパラメータを最適化しているわけである。しかし、これに伴う弊害も現れており以下にその一例を示す。

【0003】 すなわち、図9はMOS型トランジスタの重要なパラメータの一つであるソース・ドレイン間耐圧(BVsd)とゲート寸法との相関関係を、ゲート酸化膜厚をパラメータにとって現したものである。ここで、MOS型トランジスタのソース・ドレイン間耐圧の決定要因については簡単に説明する。ソース・ドレイン間耐圧の決定要因としてはパンチスルーとドレイン・基板間接合耐圧とがある。

【0004】 (1) パンチスルー

ゲート寸法が短い領域でのソース・ドレイン間耐圧を決定する要因である。MOS型トランジスタにおいてはドレインの電圧を高く(Nチャネル型トランジスタの場合は+方向に)していくと、ドレイン・基板間のPN接合が逆方向にバイアスされるために、空乏層が広がっていき、ついにはソース部にまで達し、ゲートに電圧を印加していないにもかかわらずソース・ドレイン間に電流が流れる。この現象は当然ゲート寸法が短いトランジスタで顕著に発生し、パンチスルーを起こさない最小のゲート寸法が、MOS型トランジスタの最小使用可能ゲート寸法となる。この現象に対してはゲート酸化膜が薄いほうがゲート酸化膜とシリコン基板界面に沿う空乏層の伸びが抑えられるために耐圧が高くなる。

【0005】 (2) ドレイン・基板間接合耐圧

ソース・ドレイン間耐圧がゲート寸法に依存しない領域である非パンチスルー領域のソース・ドレイン間耐圧要因である。ドレイン・基板間接合耐圧は前述したドレイン・基板間のPN接合の逆方向耐圧であるが、単純にPNの濃度差によっては決まらない。上記(1)で述べたようにゲート酸化膜が薄いとゲート酸化膜とシリコン基板界面に沿う空乏層の伸びは抑えられるが、ゲート酸化膜を薄くするためにドレイン電圧印加によるドレイン・ゲート近傍の電位勾配が急になる。そのため高電界が発生しその部分でドレイン・基板間のPN接合の逆方向耐圧が決まることになる。従って、ゲート酸化膜を薄くするとドレイン・基板間の接合耐圧でMOS型トランジ

3

タのソース・ドレイン間耐圧が決まる非パンチスルー領域のソース・ドレイン間耐圧が低くなることになる。

【0006】上記理由によりゲート酸化膜を薄くすることにより、MOS型トランジスタの最小使用可能ゲート寸法は短くなって行き微細化傾向に合うが、逆にソース・ドレイン間耐圧の絶対値は低くなっていく。具体的には図9に示したソース・ドレイン間耐圧(BV_{sd})とゲート寸法との相関関係の例では、非パンチスルー領域のソース・ドレイン間耐圧はゲート酸化膜の膜厚を220 Aから180 Aに薄くすることにより、14 Vから13 Vに低下している。つまり、この180 Aのゲート酸化膜厚ではゲート寸法の大きなトランジスタを用いたとしても13 V以上のソース・ドレイン間耐圧は得られないことになる。

【0007】一般的なMOS型トランジスタに用いられる電源電圧は5 V程度であり、ここで述べた程度のソース・ドレイン間耐圧の低下はまったく問題とならない。しかし、EPROM、EEPROM等のように書き込み時に12 V以上の高電圧を使用するデバイスにおいては最大ソース・ドレイン間耐圧の低下が深刻な問題となる。

【0008】

【発明が解決しようとする課題】以上説明したように従来のMOS型トランジスタでは、ゲート酸化膜の薄膜化に伴い非パンチスルー領域でのソース・ドレイン間耐圧が低くなり、EPROM、EEPROM等のように書き込み時に12 V以上の高電圧を回路内部で取り扱うデバイスには、そのようなMOS型トランジスタは使用できなくなるという問題点があった。

【0009】本発明は上記のような問題点を解消するためになされたもので、ゲート酸化膜を薄くしても非パンチスルー領域でのソース・ドレイン間耐圧が低くないMOS型トランジスタを得ることを目的とし、さらにその製造方法を提供することを目的としている。

【0010】

【課題を解決するための手段】上記目的を達成するために、本発明の第一の発明に係わる半導体集積回路は、MOS型トランジスタのドレイン近傍部のゲート酸化膜を選択的に厚くすることにより(ドレイン側のゲートバースピークをソース側のゲートバースピークより厚くする)、ドレイン電圧印加によるドレイン・ゲート近傍部の電位勾配を緩くして非パンチスルー領域のソース・ドレイン間耐圧を高くするようにしたものである。

【0011】また、本発明の第二の発明に係わる半導体集積回路の製造方法は、第一の発明の半導体集積回路を製造するための製造方法であって、半導体ウエハの面上に薄いゲート酸化膜を生成し、該ゲート酸化膜上にゲート電極を生成した後、ゲート電極のドレイン側だけを露出するように形成されたレジストをマスクにして等方向性酸化膜エッチングすることによりドレイン近傍部のゲ

4

ート酸化膜を僅かにエッチングした後、再酸化を行うことによりドレイン近傍部にのみ比較的厚い、いわゆるゲートバースピークを形成することにより選択的にゲート酸化膜を厚くするものである。さらに、本発明の第三の発明に係わる半導体集積回路の製造方法は、同様に第一の発明の半導体集積回路を製造するための製造方法であって、半導体ウエハの面上に薄いゲート酸化膜を生成し、該ゲート酸化膜上にゲート電極を生成した後、全面に酸化防止のための窒化膜を形成した後、ゲート電極のドレイン側だけを露出するように形成されたレジストをマスクにして窒化膜エッチングした後、再酸化を行うことによりドレイン近傍部にのみ比較的厚い、いわゆるゲートバースピークを形成することにより選択的にゲート酸化膜を厚くするものである。

【0012】

【作用】従って、本発明の半導体集積回路及び半導体集積回路製造方法によれば、MOS型トランジスタのドレイン近傍部にのみ比較的厚いいわゆるゲートバースピークを形成することにより選択的にゲート酸化膜を厚くできるようになり、それによってゲート酸化膜を薄くしていても非パンチスルー領域でのソース・ドレイン間耐圧を高くすることができるようになる。

【0013】

【実施例】以下、本発明の一実施例を図について説明する。図1は本発明の第一の発明に係わる半導体集積回路の一実施例であるMOS型トランジスタの断面図である。図1において、本発明のMOS型トランジスタはP型シリコン基板(10)と、ゲート酸化膜(11)と、ゲート電極(12)と、ドレイン拡散層(13)と、ソース拡散層(14)と、熱酸化膜(15)と、熱酸化膜(15)を形成する際に形成されたドレイン側の厚いゲートバースピーク(16)と、熱酸化膜(15)を形成する際に形成されたソース側の薄いゲートバースピーク(17)とから構成されている。

【0014】図1から明らかなように本発明の第一の発明によるMOS型トランジスタではドレイン側のゲートバースピークが厚くなっている。このようにドレイン側のゲートバースピークを厚くすることにより、ドレイン電圧印加によるドレイン・ゲート近傍部の電位勾配が緩くなり、ドレイン・基板間のPN接合の逆方向耐圧を高くすることができる。また、ドレイン近傍部以外のゲート酸化膜厚は薄くしてあるので、前述したゲート酸化膜薄膜化のメリットが生かされ、最小使用可能ゲート寸法は薄く、しかもソース・ドレイン間耐圧の高いMOS型トランジスタとなっている。

【0015】つまり本発明の第一の発明のMOS型トランジスタは、ゲート酸化膜の薄膜化に伴うドレイン・基板間の逆方向接合耐圧を改善することにより、非パンチスルー領域でのソース・ドレイン間耐圧を向上し、かつゲート酸化膜の薄膜化によるパンチスルー領域でのソー

ス・ドレイン間耐圧向上のメリットを享受することができるのである。

【0016】次に、第一の発明のMOS型トランジスタを製造する方法に係わる第二の発明の半導体集積回路製造方法について図2～図6を用いて説明する。図2～図6は第二の発明の半導体集積回路製造方法によるMOS型トランジスタの生成過程を示す各工程におけるMOS型トランジスタの断面図である。

【0017】図1に示すMOS型トランジスタの生成過程については、まずP型シリコン基板(10)を熱酸化することにより、ゲート酸化膜(11)を形成する。この状態のMOS型トランジスタの断面図を図2に示す。

【0018】次に、3000Å程度の膜厚のポリシリコンゲート電極(12)をCVD法により形成し、写真製版技術により所望の形状に形成されたレジスト(18)をマスクにして前記ポリシリコンゲート電極(12)をCF₄プラズマ等を用いたプラズマエッチング技術を用いてエッチングする。続いてレジストパターン(18)またはポリシリコンゲート電極(12)をマスクにしてゲート酸化膜(11)をエッチングする。この状態のMOS型トランジスタの断面図を図3に示す。次に、レジストパターン(18)を除去した後、イオン注入技術を用いてAsイオンを加速電圧40KeV程度で、4×10¹⁵(cm⁻²)程度注入し、N⁺ソース拡散層(14)とN⁺ドレイン拡散層(13)を形成する。この状態のMOS型トランジスタの断面図を図4に示す。

【0019】次に、写真製版技術によりドレイン部のみを露出したレジストパターン(19)をマスクにして等方向性酸化膜エッチングすることによりドレイン側のゲート酸化膜をわずかにエッチングし、ゲート酸化膜をソース方向にソース・ドレイン間の距離の5～10%程度食い込ませる。この状態のMOS型トランジスタの断面図を図5に示す。

【0020】その後、N⁺ソース拡散層(14)とN⁺ドレイン拡散層(13)を形成するために注入されたAsイオン注入層を活性化するために、900℃程度の温度で窒素雰囲気中で15分程度熱処理した後、900℃程度の温度で酸素雰囲気中で40分程度熱処理することにより再酸化を行う。すると酸化後は、ドレイン側はゲート酸化膜をわずかに食い込ませていたことにより、ポリシリコンゲート電極(12)及びP型シリコン基板(10)が露出した状態で酸化雰囲気中に晒されることになるので、厚いゲートパズピーク(16)が形成される。一方、露出されない状態で酸化雰囲気中に晒された部分は、薄いゲートパズピーク(17)が形成される。この状態のMOS型トランジスタの断面図を図6に示す。

【0021】以上説明したように、上述した製造方法により図1に示すようなドレイン側のみゲート酸化膜を厚く形成したMOS型トランジスタを実現することができ

るのである。次に、第一の発明のMOS型トランジスタを製造する方法に係わる本発明の第三の発明の半導体集積回路製造方法について図7、図8を用いて説明する。図7、図8は第三の発明の半導体集積回路製造方法によるMOS型トランジスタの生成過程を示す各工程におけるMOS型トランジスタの断面図である。

【0022】第三の発明の半導体集積回路製造方法においては図4に示す工程までは前記第二の発明の実施例で示したものと同様の方法である。図4に示すMOS型トランジスタに対してN⁺ソース拡散層(14)とN⁺ドレイン拡散層(13)を形成するためにAsイオン注入完了後、20nm程度の酸化防止窒化膜(20)を減圧CVD法により前記半導体ウエハの全面に形成する。次に、写真製版技術によりドレイン部のみを露出したレジストパターン(19)を形成し、これをマスクにして、前記酸化防止窒化膜(20)をCF₄プラズマを用いたドライエッチング技術によりエッチングする。この状態のMOS型トランジスタの断面図を図7に示す。

【0023】その後、前記N⁺ソース拡散層(14)とN⁺ドレイン拡散層(13)を形成するために注入されたAsイオン注入層を活性化するために、900℃程度の温度で窒素雰囲気中で15分程度熱処理した後、900℃程度の温度で酸素雰囲気中で40分程度熱処理することにより再酸化を行う。酸化後はドレイン部以外は酸化防止窒化膜(20)で覆われていたので酸化されることはなく、ドレイン近傍部のゲート酸化膜のみが酸化され厚いゲートパズピーク(16)が形成される。この状態のMOS型トランジスタの断面図を図8に示す。

【0024】なお、上記実施例ではNチャネル型トランジスタについてのみ説明したが、Pチャネル型トランジスタに本発明を適用しても同様の効果が得られることは言うまでもない。

【0025】

【発明の効果】以上説明したように、本発明の第一の発明に係わる半導体集積回路によれば、MOS型トランジスタのドレイン近傍部のゲート酸化膜を選択的に厚くするように形成したので、ゲート酸化膜の薄膜化によるメリットを損なうことなく、ドレイン電圧印加によるドレイン・ゲート間に発生する電位勾配を緩くすることにより、ドレイン・基板間の逆方向耐圧を高くすることができ、非バンチスルー領域のソース・ドレイン間耐圧を高くすることができるという効果がある。

【0026】また、本発明の第二の発明に係わる半導体集積回路の製造方法によれば、半導体ウエハの面上に薄いゲート酸化膜を生成し、該ゲート酸化膜上にゲート電極を生成した後、ゲート電極のドレイン側だけを露出するように形成されたレジストをマスクにして等方向性酸化膜エッチングすることにより、ドレイン近傍部のゲート酸化膜を僅かにエッチングした後、再酸化を行うことによりドレイン近傍部にのみ比較的厚い、いわゆるゲー

7

トバースピークを形成することにより選択的にゲート酸化膜を厚くするようにしたので、前記第一の発明のMOS型トランジスタの構造を簡単な工程の追加によって、精度良く形成することができるという効果がある。

【0027】さらに、本発明の第三の発明に係わる半導体集積回路の製造方法によれば、半導体ウエハの面上に薄いゲート酸化膜を生成し、該ゲート酸化膜上にゲート電極を生成した後、全面に酸化防止のための窒化膜を形成した後、ゲート電極のドレイン側だけを露出するように形成されたレジストをマスクにして窒化膜エッチングした後、再酸化を行うことによりドレイン近傍部のみ比較的厚い、いわゆるゲートバースピークを形成することにより選択的にゲート酸化膜を厚くするようにしたので、前記第一の発明のMOS型トランジスタの構造を簡単な工程の追加によって、精度良く形成することができるという効果がある。

【図面の簡単な説明】

【図1】本発明の第一の発明に係わる半導体集積回路の一実施例であるMOS型トランジスタのブロック図である。

【図2】第二の発明の半導体集積回路製造方法によるMOS型トランジスタの生成過程を示すMOS型トランジスタの断面図である。

【図3】ポリシリコンゲート電極(12)とゲート酸化膜(11)をエッチングした状態のMOS型トランジスタの断面図である。

【図4】N⁺ソース拡散層(14)・N⁺ドレイン拡散層(13)を形成した状態のMOS型トランジスタの断

8

面図である。

【図5】ゲート酸化膜をソース方向に食い込ませるように形成した状態のMOS型トランジスタの断面図である。

【図6】熱処理により再酸化を行った後に厚いゲートバースピーク(16)を形成したMOS型トランジスタの断面図である。

【図7】第三の発明の半導体集積回路製造方法によるMOS型トランジスタの生成過程を示すMOS型トランジスタの断面図である。

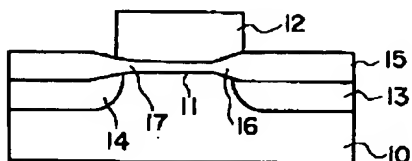
【図8】熱処理により再酸化を行った後に厚いゲートバースピーク(16)を形成した状態のMOS型トランジスタの断面図である。

【図9】MOS型トランジスタのソース・ドレイン間耐圧(BV_{sd})とゲート寸法との相関関係を、ゲート酸化膜厚をパラメータにとって表した図である。

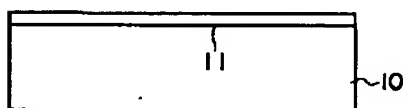
【符号の説明】

- (10) P型シリコン基板
- (11) ゲート酸化膜
- (12) ポリシリコンゲート電極
- (13) ドレイン拡散層
- (14) ソース拡散層
- (15) 熱酸化膜
- (16) 厚いゲートバースピーク
- (17) 薄いゲートバースピーク
- (18), (19) レジストパターン
- (20) 酸化防止窒化膜

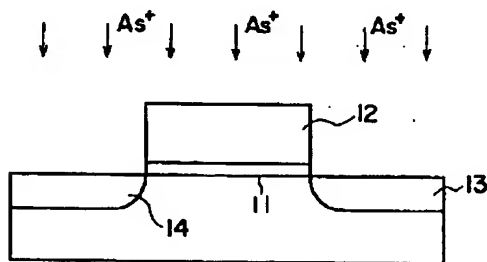
【図1】



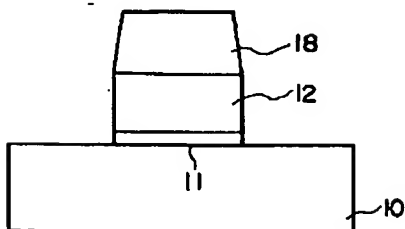
【図2】



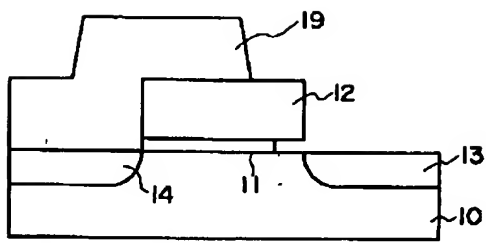
【図4】



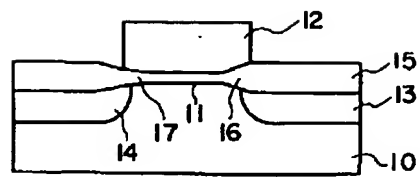
【図3】



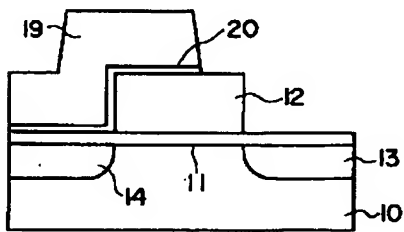
【図5】



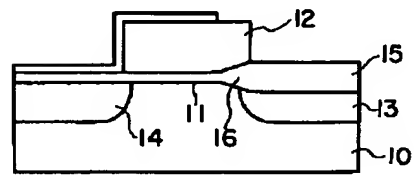
【図6】



【図7】



【図8】



【図9】

